

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007230

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 27/115

(21)Application number : 2000-175753

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.05.1991

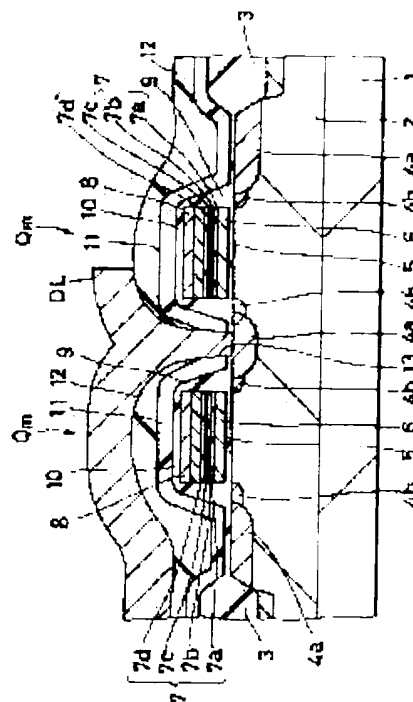
(72)Inventor : KOMORI KAZUHIRO  
NISHIMOTO TOSHIAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To enable high-speed writing, erasing and reading by reducing a thickness of a second gate insulating film of a MISFET constituting a memory cell in a non-volatile memory.

SOLUTION: A second gate insulating film 7 of a MISFET ( $Q_m$ ) constituting a memory cell in a non-volatile memory is constituted of four layers of a lower silicon oxide film 7a, lower silicon nitride film (high dielectric film) 7b, upper silicon oxide film 7c and upper silicon nitride film (barrier film) 7d. Thus, impurities in a control gate 8 are prevented from diffusing in the upper silicon oxide film 7c.



## LEGAL STATUS

[Date of request for examination]

12.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention is applied to the non-volatile memory which constituted the memory cell from MISFET which has the bilayer gate electrode which consists of the floating gate and control, concerning semiconductor integrated circuit equipment, and relates to effective technology.

[0002]

[Description of the Prior Art] Non-volatile memory, such as EPROM and a flash memory, constitutes the memory cell from MISFET of the bilayer gate electrode structure which carried out the laminating of the control gate through the second gate insulator layer on the floating gate formed on the first gate insulator layer.

[0003] Conventionally, although the second gate insulator layer of MISFET of bilayer gate electrode structure is constituted by the oxidization silicon film which oxidized thermally and formed the front face of the floating gate which consists of a polycrystal silicon film, in order to perform writing of non-volatile memory, elimination, and read-out at high speed, it becomes indispensable thin-film-izing [ of this second gate insulator layer ] it.

[0004] However, since there is a problem that isolation voltage will fall when the second gate insulator layer which consisted of oxidization silicon films is thin-film-ized, the so-called second gate insulator layer of the ONO structure which carried out the laminating of a silicon nitride film and the oxidization silicon film one by one on the oxidization silicon film is proposed in recent years.

[0005] Since the second gate insulator layer of the above-mentioned ONO structure can improve isolation voltage by suppressing a membranous leakage current with the oxidization silicon film of the high vertical section of barrier height, and aiming at electric-field relief by the silicon nitride film with a high dielectric constant, it can make thin effective oxidization silicon film conversion thickness, and, thereby, has the advantage that the writing of a memory cell, elimination, and read-out are accelerable.

[0006] In order to form the second gate insulator layer of the above-mentioned ONO structure, after oxidizing thermally the floating gate which consists of a polycrystal silicon film, forming a lower oxidization silicon film in the front face, using CVD subsequently to this oxidization silicon film top and depositing a silicon nitride film, this silicon nitride film is oxidized thermally and an up oxidization silicon film is formed in the front face.

[0007] In addition, about the non-volatile memory which constituted the memory cell from MISFET which has bilayer gate electrode structure, JP.2-295170.A etc. has a publication.

[0008]

[Problem(s) to be Solved by the Invention] However, if it is going to form the second gate insulator layer of ONO structure on the floating gate, the following problems will arise.

[0009] First, although the control gate which consists of a polycrystal silicon film (or polycide film which carried out the laminating of the refractory-metal silicide film on the polycrystal silicon film) is formed on the second gate insulator layer Since an impurity (for example, Lnn) is doped by high

concentration in this polycrystal silicon film. This impurity is spread in the up oxidization silicon film of the second gate insulator layer with heat treatment after control gate formation, and there is a problem on which the isolation voltage of the second gate insulator layer falls to, or a leakage current increases. [0010] Moreover, in the manufacturing process of non-volatile memory, since the control gate of a memory cell and the gate electrode of MISFET of a circumference circuit are formed at the same process using a polycrystal silicon film (or polycide film) Although etching on the front face of a substrate by fluoric acid solution (pre-washing) is performed in advance of formation of the gate insulator layer of Circumference MISFET after forming the second gate insulator layer There is a problem that the up oxidization silicon film of the above-mentioned second gate insulator layer will \*\*\*\*\* at this time, and ONO structure will be spoiled.

[0011] Moreover, although it is necessary to set thickness of an up-and-down oxidization silicon film to at least 3-5nm or more in order for the second gate insulator layer of ONO structure to suppress a leakage current effectively, an up oxidization silicon film has the problem that it is necessary to oxidize thermally for a long time, in order to secure the thickness which the oxidation rate was slow and was described above since it was formed by thermal oxidation of a silicon nitride film.

[0012] this invention is made paying attention to these troubles, and the purpose is in offering the technology which can thin-film-ize the second gate insulator layer of MISFET which constitutes the memory cell of non-volatile memory.

[0013] Moreover, other purposes of this invention are to offer the technology in which degradation of the second gate insulator layer produced when the impurity in the control gate is spread in an up oxidization silicon film can be prevented.

[0014] Moreover, other purposes of this invention are to offer the technology which can make good compatibility (conformity) of the formation process of a memory cell, and the formation process of a circumference circuit on the occasion of manufacture of non-volatile memory.

[0015] The other purposes and the new feature will become clear from description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0016]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0017] The first insulator layer by which the semiconductor integrated circuit equipment of this invention was formed on the semiconductor substrate. It has the second electrode formed in the upper part of the second insulator layer formed in the upper part of the first electrode formed in the upper part of the first insulator layer of the above, and the first electrode of the above, and the second insulator layer of the above. The first electrode of the above has a silicon film containing the impurity, and the second insulator layer of the above has four layer membranes which consist of a lower oxidization silicon film, a high dielectric film, an up oxidization silicon film, and a diffusion barrier film at least.

[0018] Since it can prevent that the impurity in the second electrode is spread in the second insulator layer by having carried out the laminating of the diffusion barrier film on the up oxidization silicon film of the second insulator layer according to the above-mentioned means, the isolation voltage of the second insulator layer improves, and a leakage current is suppressed.

[0019]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained in detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0020] Drawing 1 is the important section cross section of a semiconductor substrate showing the memory cell of the flash memory (or EPROM) which is the gestalt of 1 operation of this invention.

[0021] the semiconductor substrate 1 which consists of a p- type silicon single crystal -- a p type well -- 2a forms -- having -- \*\*\*\* -- this well -- n channel type MISFET (Qm) which constitutes a memory cell is formed in the active field surrounded by the field insulator layer 3 of the front face of 2a

[0022] The above-mentioned n channel type MISFET (Qm) is constituted by n- type semiconductor-region 4a, n-type-semiconductor field 4b, the first gate insulator layer 5, the floating gate 6, the second

gate insulator layer 7, and the control gate 8.

[0023] The first gate insulator layer 5 of the above-mentioned n channel type MISFET (Qm) consists for example, of oxidation silicon, and the thickness is about 15-20nm in a flash memory at about 10nm and EPROM. Moreover, the floating gate 6 consists of polycrystal silicon which doped L<sub>y</sub>nn, and the thickness is about 100-200nm.

[0024] The second gate insulator layer 7 consists of lower oxidation silicon film 7a of about 3-5nm of thickness, lower silicon-nitride-film (high dielectric film) 7b of about 10-20nm of thickness, up oxidation silicon film 7c of about 3nm of thickness, and 7d (barrier film) of up silicon nitride films of about 3-5nm of thickness, and effective oxidation silicon film conversion thickness is about 13-24nm.

[0025] The control gate 8 which serves as the word line of a circuit consists of a polycide which carried out the laminating of the tungsten silicide (WSiX) film on the polycrystal silicon film which doped L<sub>y</sub>nn, and the thickness of the above-mentioned polycrystal silicon film and a tungsten silicide film is about 100nm, respectively.

[0026] The sidewall spacer 9 which consists of oxidation silicon is formed in the side attachment wall of the above-mentioned floating gate 6, the second gate insulator layer 7, and the control gate 8, and the insulator layer 10 which consists of oxidation silicon is formed in the upper surface of the control gate 8.

[0027] The insulator layer 11 12 which consists of oxidation silicon, for example, the layer insulation film which consists of BPSG (Boro Phospho Silicate Glass), has accumulated on the upper layer of the above-mentioned n channel type MISFET (Qm) one by one, and the data line (DL) which consists for example, of an aluminum alloy is formed on the layer insulation film 12.

[0028] The above-mentioned data line (DL) is electrically connected with one n<sup>+</sup> type semiconductor-region 4a of n channel type MISFET (Qm) through the contact hole 13 punctured on the first gate insulator layer 5, the insulator layer 11, and the layer insulation film 12.

[0029] Next, the manufacture method of the non-volatile memory which has the above-mentioned memory cell is explained using drawing 2 - drawing 12 .

[0030] first, it is shown in drawing 2 -- as -- the memory cell formation field (M) of the semiconductor substrate 1, and the n channel type MISFET formation field of a circumference circuit -- a p type well -- 2a -- moreover, the p-channel type MISFET formation field of a circumference circuit -- an n type well -- after forming 2b, respectively, the field insulator layer 3 for separating MISFET and the p type channel-stopper field 14 are formed by the LOCOS method

[0031] Then, after \*\*\*\*\*ing the front face of the semiconductor substrate 1 in fluoric acid solution, the first gate insulator layer 5 is formed in the front face of the semiconductor substrate 1 by 800-degree C wet oxidation. In addition, in advance of formation of the first gate insulator layer 5, a channel dope layer (not shown) is formed by injecting BF<sub>2</sub> ion into the semiconductor substrate 1 of a memory cell formation field (M) about two 2x10<sup>12</sup>-/cm by 60keV(s) after that.

[0032] Next, as shown in drawing 3 , polycrystal silicon film 6a is deposited on the semiconductor substrate 1 using CVD. At the time of the deposition, in this polycrystal silicon film 6a, L<sub>y</sub>nn of 2x10<sup>20</sup>-/cm<sup>2</sup> is doped simultaneously, and is formed into low resistance to it.

[0033] Next, as shown in drawing 4 , the second gate insulator layer 7 which consists of four layer membranes of lower oxidation silicon film 7a, lower silicon-nitride-film 7b, up oxidation silicon film 7c, and 7d of up silicon nitride films is formed on the above-mentioned polycrystal silicon film 6a.

[0034] In order to form the above-mentioned second gate insulator layer 7, lower oxidation silicon film 7a is first formed in the front face of polycrystal silicon film 6a by heat-treating the semiconductor substrate 1 at about 950 degrees C among the mixed-gas atmosphere of nitrogen and oxygen. Then, after depositing lower silicon-nitride-film 7b on lower oxidation silicon film 7a using CVD, by wet oxidation of about 950 degrees C, up oxidation silicon film 7c is formed in the front face of lower silicon-nitride-film 7b, and 7d of up silicon nitride films is further deposited on up oxidation silicon film 7c using CVD.

[0035] Next, as shown in drawing 5 , after etching which used the photoresist as the mask removes polycrystal silicon film 6a of the n channel type MISFET formation field of a circumference circuit, and

a p-channel type MISFET formation field, and the second gate insulator layer 7, the front face of the semiconductor substrate 1 of the n channel type MISFET formation field of a circumference circuit and a p-channel type MISFET formation field is exposed by \*\*\*\*\*ing the front face of the semiconductor substrate 1 in fluoric acid solution.

[0036] Since the best layer of the second gate insulator layer 7 consists of 7d of up silicon nitride films to which it hardly \*\*\*\*\*s in fluoric acid solution at this time, up oxidization silicon film 7c under it does not \*\*\*\*\*.

[0037] Next, as shown in drawing 6, the gate insulator layer 15 which consists of oxidization silicon of about 20nm of thickness is formed in the front face of the semiconductor substrate 1 of the n channel type MISFET formation field of a circumference circuit, and a p-channel type MISFET formation field by wet oxidization of about 850 degrees C. Since no less than 7d of up silicon nitride films of the second gate insulator layer 7 oxidizes slightly and a thin oxidization silicon film (not shown) is formed in the front face at this time, the second gate insulator layer 7 turns into five layer membranes of lower oxidization silicon film 7a, lower silicon-nitride-film 7b, up oxidization silicon film 7c, 7d of up silicon nitride films, and the oxidization silicon film of the front face substantially.

[0038] In addition, in advance of formation of the above-mentioned gate insulator layer 15, a channel dope layer (not shown) is formed by injecting BF<sub>2</sub> ion into the semiconductor substrate 1 of the n channel type MISFET formation field of a circumference circuit, and a p-channel type MISFET formation field about two  $2 \times 10^{12}$  /cm by 60keV(s) after that.

[0039] Next, as shown in drawing 7, polycrystal silicon film 8a and tungsten silicide film 8b are deposited one by one on the semiconductor substrate 1 using CVD. At the time of deposition, in this polycrystal silicon film 8a, Lynn of  $2 \times 10^{20}$  /cm<sup>2</sup> is doped simultaneously, and is formed into low resistance to it.

[0040] Next, as shown in drawing 8, a photoresist is used as a mask, polycrystal silicon film 8a of a memory cell formation field, tungsten silicide film 8b, the second gate insulator layer 7, and polycrystal silicon film 6a are \*\*\*\*\*ed one by one, and the control gate 8, the second gate insulator layer 7, and the floating gate 6 are formed. Moreover, a photoresist is used as a mask, polycrystal silicon film 8a of the n channel type MISFET formation field of a circumference circuit and a p-channel type MISFET formation field and tungsten silicide film 8b are \*\*\*\*\*ed one by one, and the gate electrode 16 is formed.

[0041] Next, as shown in drawing 9, an insulator layer 10 is formed in the side attachment wall and the upper surface of the gate electrode 16 of the n channel type MISFET formation field of a circumference circuit, and a p-channel type MISFET formation field at the side attachment wall of the control gate 8 of a memory cell formation field, the second gate insulator layer 7, and the floating gate 6 and the upper surface, and a row by heat-treating the semiconductor substrate 1 at about 900 degrees C among oxygen atmosphere.

[0042] Since the best layer of the second gate insulator layer 7 of a memory cell formation field consists of 7d of up silicon nitride films which an impurity cannot diffuse easily, Lynn doped by the control gate 8 does not diffuse it in up oxidization silicon film 7c with the above-mentioned heat treatment.

[0043] then, a photoresist is deposited on the semiconductor substrate 1 of the n channel type MISFET formation field of a circumference circuit, and a p-channel type MISFET formation field, and n semiconductor-region 4b of a memory cell formation field boiled semiconductor substrate 1 is formed by making this into a mask and injecting arsenic ion into the semiconductor substrate 1 of a memory cell formation field about two  $1 \times 10^{15}$  /cm by 60keV(s)

[0044] Then, after removing the above-mentioned photoresist, a photoresist is deposited on the semiconductor substrate 1 of a memory cell formation field and the p-channel type MISFET formation field of a circumference circuit, and n type semiconductor field 17b of low high impurity concentration is formed by making this into a mask and injecting phosphorus ion into the semiconductor substrate 1 of the n channel type MISFET formation field of a circumference circuit about two  $1 \times 10^{13}$  /cm by 40keV(s).

[0045] Moreover, after removing the above-mentioned photoresist, a photoresist is deposited on the

semiconductor substrate 1 of a memory cell formation field and the n channel type MISFET formation field of a circumference circuit, and p-type semiconductor field 18b of low high impurity concentration is formed by making this into a mask and injecting BF<sub>2</sub> ion into the semiconductor substrate 1 of the p-channel type MISFET formation field of a circumference circuit about two  $5 \times 10^{12}$  /cm by 60keV(s).

[0046] As shown in drawing 10, after depositing the oxidization silicon film (not shown) of about 300nm of thickness on the semiconductor substrate 1 using CVD, this oxidization silicon film next, by \*\*\*\*\*ing by reactive ion etching The sidewall spacer 9 is formed in the side attachment wall of the gate electrode 16 of the n channel type MISFET formation field of a circumference circuit, and a p-channel type MISFET formation field at the control gate 8 of a memory cell formation field, the second gate insulator layer 7, and the side-attachment-wall row of the floating gate 6.

[0047] Then, a photoresist is deposited on the semiconductor substrate 1 of the p-channel type MISFET formation field of a circumference circuit, and n+ type semiconductor regions 4a and 17a of high high impurity concentration are formed by making this into a mask and injecting arsenic ion into the semiconductor substrate 1 of a memory cell formation field and the n channel type MISFET formation field of a circumference circuit about two  $5 \times 10^{15}$  /cm by 50keV(s).

[0048] Moreover, after removing the above-mentioned photoresist, a photoresist is deposited on the semiconductor substrate 1 of a memory cell formation field and the n channel type MISFET formation field of a circumference circuit, and p+ type semiconductor-region 18a of high high impurity concentration is formed by making this into a mask and injecting BF<sub>2</sub> ion into the semiconductor substrate 1 of the p-channel type MISFET formation field of a circumference circuit about two  $2 \times 10^{15}$  /cm by 60keV(s).

[0049] Then, each semiconductor region (4a, 4b, 17a, 17b, 18a, 18b) is activated by heat-treating the semiconductor substrate 1 at about 800 degrees C among nitrogen atmosphere.

[0050] Next, as shown in drawing 11, after depositing the layer insulation film 12 which consists of BPSG of the insulator layer 11 which consists of oxidization silicon of about 50nm of thickness, and about 300nm of thickness one by one on the semiconductor substrate 1 using CVD. A contact hole 13 is formed in each one side of semiconductor regions 4a, 17a, and 18a by using a photoresist as a mask and \*\*\*\*\*ing the layer insulation film 12, an insulator layer 11, and the gate insulator layers 5 and 15.

[0051] Then, by heat-treating the semiconductor substrate 1 at about 900 degrees C among nitrogen atmosphere, a reflow of the layer insulation film 12 is carried out, and it carries out flattening.

[0052] Next, as shown in drawing 12, after depositing aluminum alloy film on the layer insulation film 12 using a spatter, a photoresist is used as a mask, this aluminum alloy film is \*\*\*\*\*ed, and n channel type MISFET (Qm) which constitutes a memory cell, n channel type MISFET (Qn) which constitutes a circumference circuit, and p-channel type MISFET (Qp) carry out abbreviation completion by forming the data line (DL).

[0053] Thus, according to the gestalt of this operation, the following effect can be acquired.

(1) It can prevent that Lynn in the control gate 8 is spread in up oxidization silicon film 7c by having made into four layer membranes of lower oxidization silicon film 7a, lower silicon-nitride-film 7b, up oxidization silicon film 7c, and 7d of up silicon nitride films the second gate insulator layer 7 of n channel type MISFET (Qm) which constitutes a memory cell. Since the isolation voltage of the second gate insulator layer 7 improves and a leakage current is suppressed by this, the second gate insulator layer 7 can be thin-film-ized.

(2) The writing of a memory cell, elimination, and read-out are accelerable with the above (1).

(3) By the above (1), memory cell size can be made detailed.

(4) By having carried out the laminating of the 7d of the up silicon nitride films on up oxidization silicon film 7c of the second gate insulator layer 7 In case the front face of the semiconductor substrate 1 by fluoric acid solution is etched in advance of formation of the gate insulator layer 15 of Circumference MISFET after forming the second gate insulator layer 7 Since up oxidization silicon film 7c of the second gate insulator layer 7 does not \*\*\*\*\* , the compatibility (conformity) of the formation process of a memory cell and the formation process of a circumference circuit becomes good, and the manufacture yield of non-volatile memory and reliability improve.

[0054] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the gestalt of the aforementioned implementation and does not deviate from the summary.

[0055] With the gestalt of the aforementioned implementation, although the silicon nitride film was prepared between the lower oxidization silicon film of the second gate insulator layer, and the up oxidization silicon film, it may replace with this silicon nitride film, and other high dielectric films, such as a tantalum oxide film, may be prepared.

[0056] Moreover, the control gate is not limited to a polycide film and may consist of polycrystal silicon films.

[0057] Although the above explanation explained the case where invention mainly made by this invention person was applied to the non-volatile memory which is a field of the invention used as the background this invention is not what is limited to this. For example, the capacitive element for information storage of DRAM (capacitor) etc.. By generally constituting the insulator layer (dielectric film) of a capacitor from four layer membranes which consist of the oxidization silicon film, the high dielectric film, up oxidization silicon film, and barrier film of this invention, the isolation voltage can be raised and a leakage current can be suppressed.

[0058]

[Effect of the Invention] It will be as follows if the effect acquired by the typical thing among invention indicated by this application is explained briefly.

[0059] According to this invention, the isolation voltage of the insulator layer inserted into the electrode of a couple improves, and a leakage current is suppressed.

---

[Translation done.]



DERWENT-ACC-NO: 2001-175175  
DERWENT-WEEK: 200118  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor integrated circuit device for non-volatile memory, has gate insulating film with sequentially formed lower silicon oxide film, high dielectric film, upper silicon oxide film and diffusion barrier film

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1991JP-0104576 (May 10, 1991) , 2000JP-0175753 (May 10, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2001007230	January 12, 2001	N/A	010	H01L 021/8247

A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001007230A	Div ex	1991JP-0104576	May 10, 1991
JP2001007230A	N/A	2000JP-0175753	May 10, 1991

INT-CL (IPC): H01L021/8247; H01L027/115 ; H01L029/788 ; H01L029/792

RELATED-ACC-NO: 1993-005287

ABSTRACTED-PUB-NO: JP2001007230A

BASIC-ABSTRACT: NOVELTY - Gate insulating film (7) of MISFET (Qm) comprises sequentially formed lower silicon oxide film (7a), high dielectric film (7b), upper silicon oxide film (7c) and diffusion barrier film (7d). The gate insulating film is interposed between control gate (8) and floating gate (6) which has silicon film containing impurity.

USE - For non-volatile memory such as EPROM, flash memory.

ADVANTAGE - Enables preventing leakage current. As insulation film thickness is reduced, write-in, read-out and erasure operations are performed at high speed.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the semiconductor IC device.

Floating gate 6

Gate insulating film 7

Lower silicon oxide film 7a

High dielectric film 7b

Upper silicon oxide film 7c

Diffusion barrier film 7d

Control gate 8

MISFET Qm

CHOSEN-DRAWING: Dwg.1/12

TITLE-TERMS:

SEMICONDUCTOR INTEGRATE CIRCUIT DEVICE NON VOLATILE MEMORY

GATE INSULATE FILM

SEQUENCE FORMING LOWER SILICON OXIDE FILM HIGH DIELECTRIC FILM

UPPER SILICON

OXIDE FILM DIFFUSION BARRIER FILM

DERWENT-CLASS: U12

EPI-CODES: U12-D02A2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2001-127057

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-7230

(P2001-7230A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード\*(参考)

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

29/788

27/10

4 3 4

29/792

27/115

審査請求 有 請求項の数 4 O L (全 10 頁)

(21)出願番号 特願2000-175753(P2000-175753)

(62)分割の表示 特願平3-104576の分割

(22)出願日 平成3年5月10日(1991.5.10)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小森 和宏

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(72)発明者 西本 敏明

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74)代理人 100080001

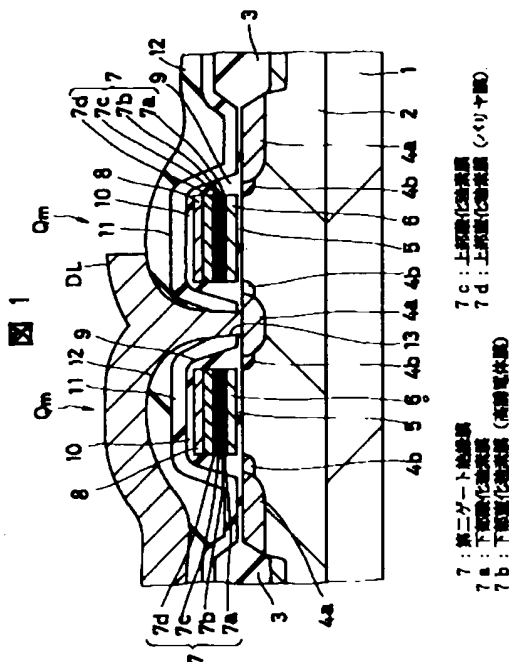
弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 不揮発性メモリのメモリセルを構成するMISFETの第二ゲート絶縁膜の膜厚を薄くすることにより、書き込み、消去および読出しを高速で行う。

【解決手段】 不揮発性メモリのメモリセルを構成するMISFET(QM)の第二ゲート絶縁膜7を下部酸化珪素膜7a、下部窒化珪素膜(高誘電体膜)7b、上部酸化珪素膜7cおよび上部窒化珪素膜(バリヤ膜)7dの四層膜とし、コントロールゲート8中の不純物が上部酸化珪素膜7cに拡散するのを防止する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された第一の絶縁膜、前記第一の絶縁膜の上部に形成された第一の電極、前記第一の電極の上部に形成された第二の絶縁膜および前記第二の絶縁膜の上部に形成された第二の電極を有する半導体集積回路装置であって、前記第一の電極は、不純物を含有した珪素膜を有し、前記第二の絶縁膜は、少なくとも下部酸化珪素膜、高誘電体膜、上部酸化珪素膜および拡散バリア膜からなる四層膜を有していることを特徴とする半導体集積回路装置。

【請求項2】 半導体基板上に形成された第一ゲート絶縁膜、前記第一ゲート絶縁膜の上部に形成されたフローティングゲート、前記フローティングゲートの上部に形成された第二ゲート絶縁膜および前記第二ゲート絶縁膜の上部に形成されたコントロールゲートを有する半導体集積回路装置であって、前記コントロールゲートは、不純物がドーパされた多結晶シリコン膜を含み、前記第二ゲート絶縁膜は、下層から順に下部酸化珪素膜、高誘電体膜、上部酸化珪素膜および窒化珪素膜からなる四層膜を有していることを特徴とする半導体集積回路装置。

【請求項3】 前記高誘電体膜は、窒化珪素膜または酸化タンタル膜であることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 二層ゲート電極構造のMISFETを有する半導体集積回路装置であって、第一のゲート電極と第二のゲート電極との間に介在する層間絶縁膜は、前記第一のゲート電極に近い方から第一の酸化珪素膜、第一の窒化珪素膜または酸化タンタル膜、第二の酸化珪素膜および前記第二の酸化珪素膜上に堆積することにより得られた第二の窒化珪素膜により構成されていることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、例えばフローティングゲートおよびコントロールからなる二層ゲート電極を有するMISFETでメモリセルを構成した不揮発性メモリなどに適用して有効な技術に関するものである。

## 【0002】

【従来の技術】EPROMやフラッシュメモリなどの不揮発性メモリは、第一のゲート絶縁膜上に形成したフローティングゲートの上部に第二のゲート絶縁膜を介してコントロールゲートを積層した二層ゲート電極構造のMISFETでメモリセルを構成している。

【0003】従来より、二層ゲート電極構造のMISFETの第二ゲート絶縁膜は、多結晶シリコン膜からなるフローティングゲートの表面を熱酸化して形成した酸化珪素膜によって構成されているが、不揮発性メモリの書込み、消去、読出しを高速で行うためには、この第二ゲート絶縁膜の薄膜化が必須となる。

【0004】ところが、酸化珪素膜で構成された第二ゲート絶縁膜を薄膜化すると、絶縁耐圧が低下してしまうという問題があるため、近年、酸化珪素膜の上に窒化珪素膜および酸化珪素膜を順次積層した、いわゆるONO構造の第二ゲート絶縁膜が提案されている。

【0005】上記ONO構造の第二ゲート絶縁膜は、バリヤハイトの高い上下部の酸化珪素膜によって膜のリーク電流を抑制し、かつ誘電率の高い窒化珪素膜によって電界緩和を図ることで絶縁耐圧を向上することができるので、実効酸化珪素膜換算膜厚を薄くすることができ、これにより、メモリセルの書込み、消去、読出しを高速化することができるという利点がある。

【0006】上記ONO構造の第二ゲート絶縁膜を形成するには、多結晶シリコン膜からなるフローティングゲートを熱酸化してその表面に下部酸化珪素膜を形成し、次いでこの酸化珪素膜の上にCVD法を用いて窒化珪素膜を堆積した後、この窒化珪素膜を熱酸化してその表面に上部酸化珪素膜を形成する。

【0007】なお、二層ゲート電極構造を有するMISFETでメモリセルを構成した不揮発性メモリについては、特開平2-295170号公報などに記載がある。

## 【0008】

【発明が解決しようとする課題】しかしながら、フローティングゲートの上部にONO構造の第二ゲート絶縁膜を形成しようとする、下記のような問題が生ずる。

【0009】まず、第二ゲート絶縁膜の上には、多結晶シリコン膜（または多結晶シリコン膜の上に高融点金属シリサイド膜を積層したポリサイド膜）からなるコントロールゲートが形成されるが、この多結晶シリコン膜中には、不純物（例えばリン）が高濃度にドーパされるため、この不純物がコントロールゲート形成後の熱処理によって第二ゲート絶縁膜の上部酸化珪素膜中に拡散し、第二ゲート絶縁膜の絶縁耐圧が低下したり、リーク電流が増大したりする問題がある。

【0010】また、不揮発性メモリの製造工程では、多結晶シリコン膜（またはポリサイド膜）を用いてメモリセルのコントロールゲートと周辺回路のMISFETのゲート電極とを同一工程で形成するので、第二ゲート絶縁膜を形成した後、周辺MISFETのゲート絶縁膜の形成に先立ってフッ酸水溶液による基板表面のエッチング（前洗浄）が行われるが、このとき上記第二ゲート絶縁膜の上部酸化珪素膜がエッチングされてONO構造が損なわれてしまうという問題がある。

【0011】また、ONO構造の第二ゲート絶縁膜は、リーク電流を有効に抑制するために上下の酸化珪素膜の膜厚を少なくとも3~5nm以上にする必要があるが、上部酸化珪素膜は窒化珪素膜の熱酸化で形成されるために酸化速度が遅く、上記した膜厚を確保するためには熱酸化を長時間行う必要があるという問題がある。

【0012】本発明は、これらの問題点に着目してな

3

れたものであり、その目的は、不揮発性メモリのメモリセルを構成するMISFETの第二ゲート絶縁膜を薄膜化することのできる技術を提供することにある。

【0013】また、本発明の他の目的は、上部酸化珪素膜中にコントロールゲート中の不純物が拡散することによって生じる第二ゲート絶縁膜の劣化を防止することのできる技術を提供することにある。

【0014】また、本発明の他の目的は、不揮発性メモリの製造に際して、メモリセルの形成プロセスと周辺回路の形成プロセスとのコンパチビリティ（適合性）を良好にすることのできる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】本発明の半導体集積回路装置は、半導体基板上に形成された第一の絶縁膜、前記第一の絶縁膜の上部に形成された第一の電極、前記第一の電極の上部に形成された第二の絶縁膜および前記第二の絶縁膜の上部に形成された第二の電極を有し、前記第一の電極は、不純物を含有した珪素膜を有し、前記第二の絶縁膜は、少なくとも下部酸化珪素膜、高誘電体膜、上部酸化珪素膜および拡散バリア膜からなる四層膜を有しているものである。

【0018】上記した手段によれば、第二の絶縁膜の上部酸化珪素膜の上に拡散バリア膜を積層したことにより、第二の電極中の不純物が第二の絶縁膜中に拡散するのを防止することができるので、第二の絶縁膜の絶縁耐圧が向上し、かつリーク電流が抑制される。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0020】図1は、本発明の一実施の形態であるフラッシュメモリ（またはEPROM）のメモリセルを示す半導体基板の要部断面図である。

【0021】例えばp型のシリコン単結晶からなる半導体基板1には、p型のウェル2aが形成されており、このウェル2aの表面のフィールド絶縁膜3によって囲まれたアクティブ領域には、メモリセルを構成するnチャネル型MISFET(Q<sub>n</sub>)が形成されている。

【0022】上記nチャネル型MISFET(Q<sub>n</sub>)は、n<sup>+</sup>型半導体領域4a、n型半導体領域4b、第一ゲート絶縁膜5、フローティングゲート6、第二ゲート絶縁膜7およびコントロールゲート8によって構成されている。

4

【0023】上記nチャネル型MISFET(Q<sub>n</sub>)の第一ゲート絶縁膜5は、例えば酸化珪素からなり、その膜厚はフラッシュメモリで10nm程度、EPROMでは15~20nm程度である。また、フローティングゲート6は、例えばリンをドーパした多結晶シリコンからなり、その膜厚は100~200nm程度である。

【0024】第二ゲート絶縁膜7は、膜厚3~5nm程度の下部酸化珪素膜7a、膜厚10~20nm程度の下部窒化珪素膜（高誘電体膜）7b、膜厚3nm程度の上部酸化珪素膜7cおよび膜厚3~5nm程度の上部窒化珪素膜（バリア膜）7dからなり、実効酸化珪素膜換算膜厚は、13~24nm程度である。

【0025】回路のワード線を兼ねるコントロールゲート8は、例えばリンをドーパした多結晶シリコン膜の上にタングステンシリサイド(WSi<sub>2</sub>)膜を積層したポリサイドからなり、上記多結晶シリコン膜、タングステンシリサイド膜の膜厚はそれぞれ100nm程度である。

【0026】上記フローティングゲート6、第二ゲート絶縁膜7およびコントロールゲート8の側壁には、例えば酸化珪素からなるサイドウォールスペーサ9が形成されており、コントロールゲート8の上面には、例えば酸化珪素からなる絶縁膜10が形成されている。

【0027】上記nチャネル型MISFET(Q<sub>n</sub>)の上層には、例えば酸化珪素からなる絶縁膜11、例えばBPSG(Boro Phospho Silicate Glass)からなる層間絶縁膜12が順次堆積されており、層間絶縁膜12の上には、例えばAl合金からなるデータ線(DL)が形成されている。

【0028】上記データ線(DL)は、第一ゲート絶縁膜5、絶縁膜11および層間絶縁膜12に開孔したコンタクトホール13を通じてnチャネル型MISFET(Q<sub>n</sub>)の一方のn<sup>+</sup>型半導体領域4aと電気的に接続されている。

【0029】次に、上記メモリセルを有する不揮発性メモリの製造方法を図2~図12を用いて説明する。

【0030】まず、図2に示すように、半導体基板1のメモリセル形成領域(M)と周辺回路のnチャネル型MISFET形成領域とにp型のウェル2aを、また周辺回路のpチャネル型MISFET形成領域にn型のウェル2bをそれぞれ形成した後、MISFETを分離するためのフィールド絶縁膜3およびp型のチャネルストップ領域14をLOCOS法によって形成する。

【0031】続いて、半導体基板1の表面をフッ酸水溶液でエッチングした後、800℃のウェット酸化によって半導体基板1の表面に第一ゲート絶縁膜5を形成する。なお、第一ゲート絶縁膜5の形成に先立って、またはその後、メモリセル形成領域(M)の半導体基板1にBF<sub>2</sub>イオンを60keVで2×10<sup>12</sup>/cm<sup>2</sup>程度注入することによってチャネルドーパ層(図示せず)を形成する。

5

【0032】次に、図3に示すように、CVD法を用いて半導体基板1の上に多結晶シリコン膜6aを堆積する。この多結晶シリコン膜6aには、その堆積時に $2 \times 10^{20}/\text{cm}^2$ のリンを同時にドーピングして低抵抗化する。

【0033】次に、図4に示すように、上記多結晶シリコン膜6aの上に下部酸化珪素膜7a、下部窒化珪素膜7b、上部酸化珪素膜7cおよび上部窒化珪素膜7dの四層膜からなる第二ゲート絶縁膜7を形成する。

【0034】上記第二ゲート絶縁膜7を形成するには、まず、半導体基板1を窒素と酸素の混合ガス雰囲気中、950℃程度で熱処理することにより、多結晶シリコン膜6aの表面に下部酸化珪素膜7aを形成する。続いて、CVD法を用いて下部酸化珪素膜7aの上に下部窒化珪素膜7bを堆積した後、950℃程度のウェット酸化によって下部窒化珪素膜7bの表面に上部酸化珪素膜7cを形成し、さらにCVD法を用いて上部酸化珪素膜7cの上に上部窒化珪素膜7dを堆積する。

【0035】次に、図5に示すように、周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の多結晶シリコン膜6a、第二ゲート絶縁膜7をフォトリソをマスクにしたエッチングによって除去した後、半導体基板1の表面をフッ酸水溶液でエッチングすることにより、周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の半導体基板1の表面を露出させる。

【0036】このとき、第二ゲート絶縁膜7の最上層は、フッ酸水溶液ではほとんどエッチングされない上部窒化珪素膜7dで構成されているので、その下の上部酸化珪素膜7cがエッチングされることはない。

【0037】次に、図6に示すように、850℃程度のウェット酸化によって周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の半導体基板1の表面に膜厚20nm程度の酸化珪素からなるゲート絶縁膜15を形成する。このとき、第二ゲート絶縁膜7の上部窒化珪素膜7dも僅かに酸化され、その表面に薄い酸化珪素膜（図示せず）が形成されるため、第二ゲート絶縁膜7は、実質的に下部酸化珪素膜7a、下部窒化珪素膜7b、上部酸化珪素膜7c、上部窒化珪素膜7dおよびその表面の酸化珪素膜の五層膜となる。

【0038】なお、上記ゲート絶縁膜15の形成に先立って、またはその後、周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の半導体基板1に $\text{BF}_3$ イオンを $60\text{keV}$ で $2 \times 10^{12}/\text{cm}^2$ 程度注入することによって、チャネルドーピング層（図示せず）を形成する。

【0039】次に、図7に示すように、CVD法を用いて半導体基板1の上に多結晶シリコン膜8aおよびタングステンシリサイド膜8bを順次堆積する。この多結晶シリコン膜8aには、堆積時に $2 \times 10^{20}/\text{cm}^2$ のリン

6

を同時にドーピングして低抵抗化する。

【0040】次に、図8に示すように、フォトリソをマスクにしてメモリセル形成領域の多結晶シリコン膜8a、タングステンシリサイド膜8b、第二ゲート絶縁膜7および多結晶シリコン膜6aを順次エッチングしてコントロールゲート8、第二ゲート絶縁膜7、フローティングゲート6を形成する。また、フォトリソをマスクにして周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の多結晶シリコン膜8aおよびタングステンシリサイド膜8bを順次エッチングしてゲート電極16を形成する。

【0041】次に、図9に示すように、半導体基板1を酸素雰囲気中、900℃程度で熱処理することによって、メモリセル形成領域のコントロールゲート8、第二ゲート絶縁膜7、フローティングゲート6の側壁および上面、ならびに周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域のゲート電極16の側壁および上面に絶縁膜10を形成する。

【0042】メモリセル形成領域の第二ゲート絶縁膜7の最上層は、不純物が拡散し難い上部窒化珪素膜7dで構成されているので、コントロールゲート8にドーピングされたリンが上記熱処理によって上部酸化珪素膜7cに拡散することはない。

【0043】続いて、周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域の半導体基板1の上にフォトリソを堆積し、これをマスクにしてメモリセル形成領域の半導体基板1にヒ素イオンを $60\text{keV}$ で $1 \times 10^{15}/\text{cm}^2$ 程度注入することによって、メモリセル形成領域の半導体基板1にのn半導体領域4bを形成する。

【0044】続いて、上記フォトリソを除去した後、メモリセル形成領域および周辺回路のpチャネル型MISFET形成領域の半導体基板1の上にフォトリソを堆積し、これをマスクにして周辺回路のnチャネル型MISFET形成領域の半導体基板1にリンイオンを $40\text{keV}$ で $1 \times 10^{13}/\text{cm}^2$ 程度注入することによって、低不純物濃度のn<sup>+</sup>型半導体領域17bを形成する。

【0045】また、上記フォトリソを除去した後、メモリセル形成領域および周辺回路のnチャネル型MISFET形成領域の半導体基板1の上にフォトリソを堆積し、これをマスクにして周辺回路のpチャネル型MISFET形成領域の半導体基板1に $\text{BF}_3$ イオンを $60\text{keV}$ で $5 \times 10^{12}/\text{cm}^2$ 程度注入することによって、低不純物濃度のp<sup>+</sup>型半導体領域18bを形成する。

【0046】次に、図10に示すように、CVD法を用いて半導体基板1の上に膜厚300nm程度の酸化珪素膜（図示せず）を堆積した後、この酸化珪素膜を反応性イオンエッチングでエッチングすることによって、メモ

7

リセル形成領域のコントロールゲート8、第二ゲート絶縁膜7、フローティングゲート6の側壁ならびに周辺回路のnチャネル型MISFET形成領域およびpチャネル型MISFET形成領域のゲート電極16の側壁にサイドウォールスペーサ9を形成する。

【0047】続いて、周辺回路のpチャネル型MISFET形成領域の半導体基板1の上にフォトレジストを堆積し、これをマスクにしてメモリセル形成領域および周辺回路のnチャネル型MISFET形成領域の半導体基板1にヒ素イオンを50keVで $5 \times 10^{15}/\text{cm}^2$ 程度

注入することによって、高不純物濃度のn<sup>+</sup>型半導体領域4a、17aを形成する。

【0048】また、上記フォトレジストを除去した後、メモリセル形成領域および周辺回路のnチャネル型MISFET形成領域の半導体基板1の上にフォトレジストを堆積し、これをマスクにして周辺回路のpチャネル型MISFET形成領域の半導体基板1にBF<sub>2</sub>イオンを60keVで $2 \times 10^{15}/\text{cm}^2$ 程度注入することによ

って高不純物濃度のp<sup>+</sup>型半導体領域18aを形成する。

【0049】その後、半導体基板1を窒素雰囲気中、800℃程度で熱処理することによって、それぞれの半導体領域(4a、4b、17a、17b、18a、18b)を活性化する。

【0050】次に、図11に示すように、CVD法を用いて半導体基板1の上に膜厚50nm程度の酸化珪素からなる絶縁膜11および膜厚300nm程度のBPSGからなる層間絶縁膜12を順次堆積した後、フォトレジストをマスクにして層間絶縁膜12、絶縁膜11およびゲート絶縁膜5、15をエッチングすることによって、半導体領域4a、17a、18aのそれぞれの一方にコンタクトホール13を形成する。

【0051】その後、半導体基板1を窒素雰囲気中、900℃程度で熱処理することによって、層間絶縁膜12をリフローし、平坦化する。

【0052】次に、図12に示すように、スパッタ法を用いて層間絶縁膜12の上にAl合金膜を堆積した後、フォトレジストをマスクにしてこのAl合金膜をエッチングし、データ線(DL)を形成することによって、メモリセルを構成するnチャネル型MISFET(Q<sub>n</sub>)、周辺回路を構成するnチャネル型MISFET(Q<sub>n</sub>)およびpチャネル型MISFET(Q<sub>p</sub>)が略完成する。

【0053】このように、本実施の形態によれば、上記の効果を得ることができる。

(1)メモリセルを構成するnチャネル型MISFET(Q<sub>n</sub>)の第二ゲート絶縁膜7を下部酸化珪素膜7a、下部窒化珪素膜7b、上部酸化珪素膜7cおよび上部窒化珪素膜7dの四層膜にしたことにより、コントロールゲート8中のリング上部酸化珪素膜7cに拡散するのを防止することができる。これにより、第二ゲート絶縁膜7の絶縁耐圧が向上し、かつリーク電流が抑制されるの

8

で、第二ゲート絶縁膜7を薄膜化することができる。

(2)上記(1)により、メモリセルの書き込み、消去、読出しを高速化することができる。

(3)上記(1)により、メモリセルサイズを微細化することができる。

(4)第二ゲート絶縁膜7の上部酸化珪素膜7cの上に上部窒化珪素膜7dを積層したことにより、第二ゲート絶縁膜7を形成した後、周辺MISFETのゲート絶縁膜15の形成に先立ってフッ酸水溶液による半導体基板1の表面のエッチングを行う際に、第二ゲート絶縁膜7の上部酸化珪素膜7cがエッチングされることがないので、メモリセルの形成プロセスと周辺回路の形成プロセスとのコンパチビリティ(適合性)が良好になり、不揮発性メモリの製造歩留り、信頼性が向上する。

【0054】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0055】前記実施の形態では、第二ゲート絶縁膜の下部酸化珪素膜と上部酸化珪素膜との間に窒化珪素膜を設けたが、この窒化珪素膜に代えて酸化タンタル膜など、他の高誘電膜を設けてもよい。

【0056】また、コントロールゲートは、ポリサイド膜に限定されるものではなく、多結晶シリコン膜で構成してもよい。

【0057】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である不揮発性メモリに適用した場合について説明したが、本発明は、これに限定されるものではなく、例えばDRAMの情報蓄積用容量素子(キャパシタ)など、一般にコンデンサの絶縁膜(誘電体膜)を本発明の酸化珪素膜、高誘電体膜、上部酸化珪素膜およびバリア膜からなる四層膜で構成することにより、その絶縁耐圧を向上させ、かつリーク電流を抑制することができる。

【0058】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0059】本発明によれば、一対の電極に挟まれた絶縁膜の絶縁耐圧が向上し、かつリーク電流が抑制される。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

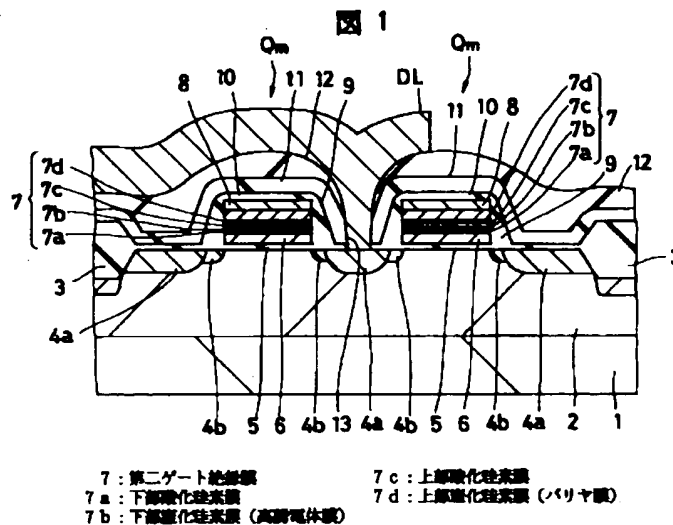
【図12】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 a ウエル
- 2 b ウエル
- 3 フィールド絶縁膜
- 4 a n<sup>+</sup>型半導体領域
- 4 b n型半導体領域
- 5 第一ゲート絶縁膜
- 6 フローティングゲート
- 6 a 多結晶シリコン膜

- 7 第二ゲート絶縁膜
- 7 a 下部酸化珪素膜
- 7 b 下部窒化珪素膜（高誘電体膜）
- 7 c 上部酸化珪素膜
- 7 d 上部窒化珪素膜（拡散バリア膜）
- 8 コントロールゲート
- 8 a 多結晶シリコン膜
- 8 b タングステンシリサイド膜
- 9 サイドウォールスペーサ
- 10 絶縁膜
- 11 絶縁膜
- 12 層間絶縁膜
- 13 コンタクトホール
- 14 チャネルストッパ領域
- 15 ゲート絶縁膜
- 16 ゲート電極
- 17 a n<sup>+</sup>型半導体領域
- 17 b n<sup>-</sup>型半導体領域
- 18 a p<sup>+</sup>型半導体領域
- 18 b p<sup>-</sup>型半導体領域
- 20 DL データ線
- M メモリセル形成領域
- Qn nチャネル型MISFET
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET

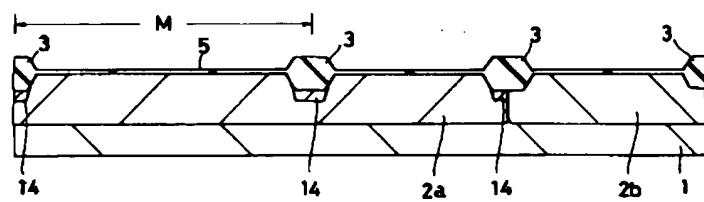
【図1】





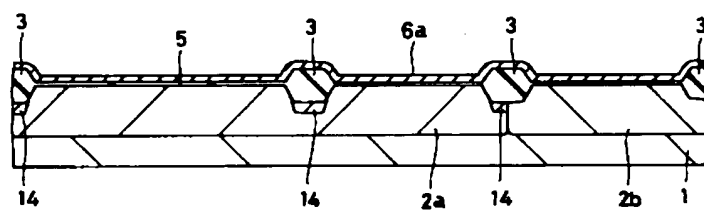
【図2】

図 2



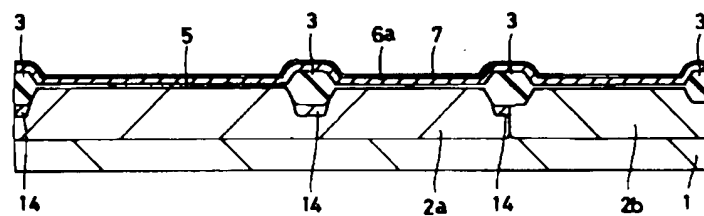
【図3】

図 3



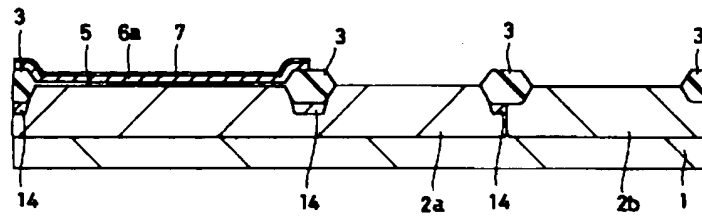
【図4】

図 4



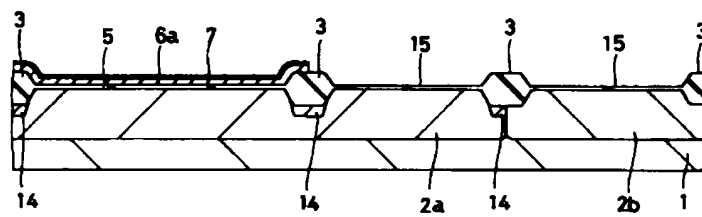
【図5】

図 5



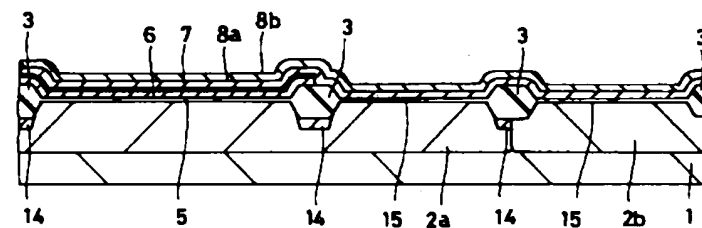
【図6】

図 6



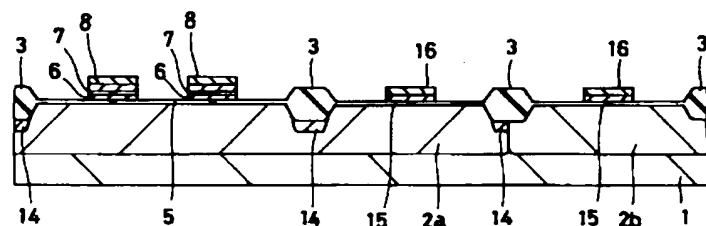
【図7】

図 7



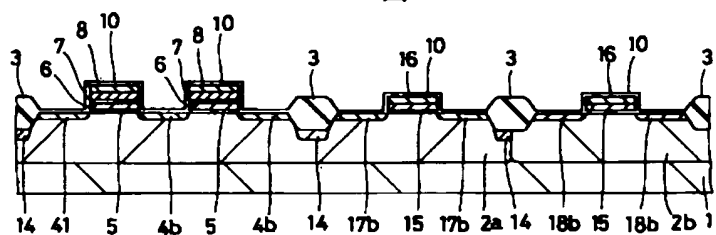
【図8】

図 8



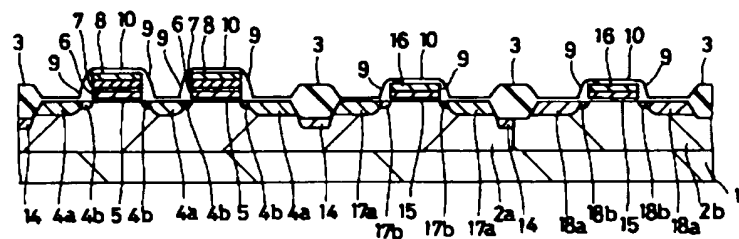
【図9】

図 9

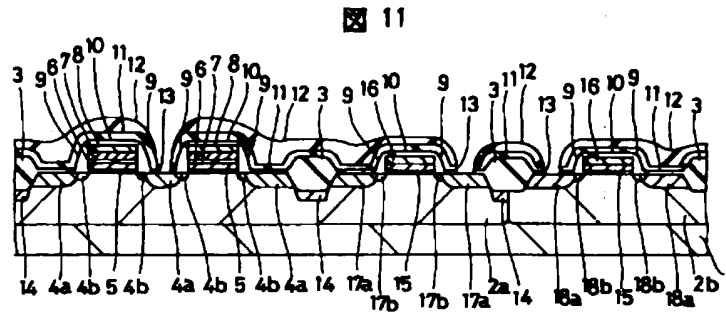


【図10】

図 10



【☒ 1 1 】



【例 12】

